

① 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—49580

⑤ Int. Cl.³
G 09 F 9/30

識別記号

庁内整理番号
6615—5C

④ 公開 昭和59年(1984)3月22日

発明の数 1
審査請求 未請求

(全 6 頁)

⑤ マトリクス表示パネルの製造方法

① 特 願 昭57—159824

② 出 願 昭57(1982)9月14日

⑦ 発 明 者 菊池伊佐子
門真市大字門真1006番地松下電
器産業株式会社内

⑧ 発 明 者 太田勲夫
門真市大字門真1006番地松下電
器産業株式会社内

⑦ 発 明 者 竹田守
門真市大字門真1006番地松下電
器産業株式会社内

⑧ 発 明 者 清川勢司
門真市大字門真1006番地松下電
器産業株式会社内

⑨ 出 願 人 松下電器産業株式会社
門真市大字門真1006番地

⑩ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1、発明の名称

マトリクス表示パネルの製造方法

2、特許請求の範囲

(1) ① 第1の電極となるゲート電極を絶縁基板に設
ける工程、

② 前記絶縁基板の周辺部に於ける端子取り出し
部を除いた領域にゲート絶縁層を設ける工程、

③ 前記ゲート絶縁層上にこれとほぼ同じ形に半
導体層を設ける工程、

④ 前記半導体層とほぼ同じ形に保護絶縁層を設
ける工程、

⑤ 前記保護絶縁層にソース、ドレインコンタク
ト孔を設ける工程、

⑥ 前記保護絶縁層を含む面のほぼ全面に第2の
電極膜を設ける工程、

⑦ 前記第2の電極膜をソース、ドレイン電極の
形にパタン化する工程、

⑧ 前記ソース、ドレイン電極を含む面に層間絶
縁層を設ける工程、

⑨ 前記層間絶縁層に絵素コンタクト孔を設ける
工程、

⑩ 前記層間絶縁層を含む面に第3の電極膜を設
ける工程、

⑪ 前記第3の電極膜を絵素電極の形にパタン化
する工程、

⑫ 前記基板の絵素電極を有する表面と透明絶縁
基板上に設けた透明共通電極との間に表示用
媒体をはさみ込む工程、

の各工程を含むことを特徴とするマトリクス表
示パネルの製造方法。

(2) 第1の工程に於てゲート電極以外に蓄積容量
形成用電極を設けておき、第7の工程に於て設
けられたドレイン電極との間で蓄積容量を形成
せしめることを特徴とする特許請求の範囲第(1)
項記載のマトリクス表示パネルの製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は絵素有効面積を拡大した反射型のマト
リクス表示パネルの製造方法に関するものである。

従来例の構成とその問題点

液晶等を低デューティ比でマトリクス表示するために、薄膜トランジスタ（以下TFTと略す）より成るスイッチ素子を各絵素に導入する試みがある。すなわち、第1図の平面図及び第2図のA-A'断面図に示す如く、TFTアレー付き基板10は、ガラス等の絶縁基板7の上にゲート電極1、ゲート絶縁膜2、半導体層3、ドレイン電極4、ソース電極5、絵素電極8が各絵素単位で構成されている。ドレイン電極4は、ゲート絶縁層2に設けられたコンタクトホール9を介して絵素電極8に接続されている。

第3図に示すように、第1図のTFTアレー付き基板10と、ガラス等の透明絶縁基板上に酸化インジウム、酸化スズ等の透明共通電極13を有する基板との間に液晶等の表示媒体12をはさむことによって、多数の絵素を表示できるX-Yマトリクス表示パネルが構成される。

第1図～第3図に示すTFTアレー付きマトリクス表示パネルの電氣的等価回路を示すと、第4

以上、従来のTFTアレー付きマトリクス表示パネルでは、第1図から明らかな通り、ソース5やゲート1の領域は表示不能領域であり、実質的に表示に寄与しうるのは、絵素電極8のコンタクト部を除く領域のみである。すなわち、ソース電極5やゲート電極1のために絵素有効面積が顕著に悪化する。特に絵素密度が高くなっても第1図の模様を相似的に縮小するという訳にはいかない。これは、ソースやゲート電極幅が狭くなると、配線抵抗が増大して信号波形が歪んだり断線の欠陥が生じ易いからである。このことは絵素有効面積の割合いがさらに低下することになり、第1図のような電極構成は特に高解像度表示には、表示品位を落とし巨視的コントラストの低下につながるものが重大な問題点であった。

発明の目的

本発明は、以上の如き従来の欠点を克服する為に、アレー製造プロセスを改善し、簡略化プロセスを採用しつつ絵素有効面積の拡大を計ったマトリクス表示パネルの製造方法を提供するものであ

図のようになる。以下、第1図、第2図および第4図に基づいて動作原理を説明する。

便宜上TFT11は半導体層として、CdSeやアモルファスシリコンを用いたnチャンネルエンハンスメント型と考える。この場合、ドレイン電極4をソース電極5に対して正になるように電圧を印加した状態で、ゲート電極1をソース電極5と等電位ないし、それ以下の電位に保った時TFT11はオフ状態となり、ソース、ドレイン間には殆ど電流は流れないが、ゲート電極1をソース電極5に対して正に保つとゲート絶縁膜に接する半導体膜中に電子が誘導される結果TFT11はオン状態となり、ソース、ドレイン間に電流が流れるようになる。マトリクス駆動する場合は、通常線順次に信号が印加される。例えば表示媒体に液晶を用いて、交流駆動を行う場合の例を第5図(a)、(b)に示す。第5図(b)に示す3×3ドットのマトリクス表示を行う場合の走査側(Y1～Y3)及び信号側(X1～X3)の電圧波形は第5図(a)に示され、第5図(b)に於て、オンセルが斜線で示されている。

る。

発明の構成

本発明の製造方法は、①第1の電極となるゲート電極を絶縁基板に設ける工程、②前記絶縁基板の周辺部に於ける端子取り出し部を除いた領域にゲート絶縁層を設ける工程、③前記ゲート絶縁層上にこれとほぼ同じ形に半導体層を設ける工程、④前記半導体層とほぼ同じ形に保護絶縁層を設ける工程、⑤前記保護絶縁層にソース、ドレインコンタクト孔を設ける工程、⑥前記保護絶縁層を含む面のほぼ全面に第2の電極膜を設ける工程、⑦前記第2の電極膜をソース、ドレイン電極の形にパターン化する工程、⑧前記ソース、ドレイン電極を含む面に層間絶縁層を設ける工程、⑨前記層間絶縁層に絵素コンタクト孔を設ける工程、⑩前記層間絶縁層を含む面に第3の電極膜を設ける工程、⑪前記第3の電極膜を絵素電極の形にパターン化する工程、⑫前記基板の絵素電極を有する表面と、透明絶縁基板上に設けた透明共通電極との間に表示用媒体をはさみ込む工程、の各工程を含んだも

のである。

本発明では、半導体層を一切微少化することなく連続相の状態で使用する構成をとっているため絵素有効面積を拡大すると共に、従来の半導体層を微少部分化したり、微少部分に設ける方法における欠点であった、工程が増えたり、この工程に於て素子特性のばらつきや歩留り低下を来たし易い点を解消できる。

実施例の説明

以下図面に従って本発明の一実施例を説明する。

本発明の製造方法に於てはまずガラス等の絶縁基板上にクロム、ニクロム、モリブデン、金等のゲート電極材料を形成したのち、第1のフォトマスクを用いて第6図(a)の平面図および第6図(b)のB-B'断面図に示す如く、ゲート電極1状にパターン化する。(通常共通電極13を同一基板7上にとり出すための共通電極端子13を設けておくが以下の図面では図示を省略する。) ついで、第7図(a), (b)に示すように例えばプラズマCVD法によってアモルファスシリコンTFTを製作する場

リコン、窒化シリコン等の無機絶縁膜を層間絶縁膜21として設ける。層間絶縁膜には、フォトリソにより絵素電極用コンタクト孔22を設ける。ついで第10図(a), (b)に示すように上記基板のほぼ全面に絵素電極となる金属膜を蒸着或はスパッタリングにより形成し、フォトリソにより絵素電極8の形状にパターン化する。

以上、プラズマCVD法をもとに本発明のTFT製造プロセスを説明したが、蒸着やスパッタ法で異ったゲート絶縁膜2や半導体膜3(セレン化カドミウム、テルル等)或は層間絶縁膜等を使用する場合も構造的には同じである。

いずれにしても透明電極を有するガラス、プラスチック等の基板14の透明電極13と前記の如く製作したTFTアレーとの間に第3図に示すように表示媒体をはさみ込めば表示パネルとなる。

本発明に於て使用する表示媒体12としては、各種のものが使用出来るが、特に絵素電極がアルミニウム等の不透明反射性電極では、ネマティック液晶ないしネマティック液晶とコレステリック

合では、前記基板をプラズマリアクター内に入れ、シランガスを主成分とする混合ガスをプラズマ放電させ、窒化シリコン或は、酸化シリコン等のゲート絶縁膜2を形成する。この際、後に膜を除去する工程を不要とする為に、端子部15には膜が堆積しない様、前記ゲートを有する基板の周辺部には、例えばメタルマスク等を基板に密接させた状態で、プラズマ放電を行う。次にガス組成を変えて、シランガスを成分として再びプラズマ放電を行い、アモルファスシリコン半導体膜3を前記ゲート絶縁膜と同じ形状に堆積させる。この上から保護絶縁膜18を形成してのち、フォトリソによりソース、ドレインコンタクト孔19, 20を第7図の如く設ける。ついで、第8図(a), (b)に示すように第2電極膜を蒸着、スパッタ等により基板のほぼ全面に設けてのち、フォトリソによりソース電極5及びドレイン電極4状にパターン化する。ついで、第9図(a), (b)に示すようにフォトレジストやポリイミド膜等の有機絶縁膜或は蒸着、スパッタ、CVD法等によりアルミナ、二酸化シ

液晶の混合液晶に2色性色素を溶解したいわゆるゲストホストモードで使用する液晶材料、誘電異方性が負のネマティック液晶にイオン性ドーパントを若干添加し、電界を印加することによって散乱核を形成して液晶を白濁させるいわゆるDSMモード液晶、ネマティック液晶とコレステリック液晶の混合体に電界を印加してネマティック相とコレステリック相との間で相変化を生じさせ、透明ないし白濁の表示を実現するいわゆる相転移液晶も採用できる。一方、液晶以外では、例えば染料で着色した有機溶媒中にこれとは色の異なる顔料粒子を分散させたいわゆる電気泳動表示用分散系や、電解発色型表示媒体或はエレクトロルミネッセンス層を使用することも可能である。

以上、本発明の製造方法によれば、ソース電極5とゲート電極1はゲート絶縁層2と半導体層3及び保護絶縁層18で隔離されてクロスオーバー絶縁性が保たれる。また、絵素電極8とソース電極5は層間絶縁層18で隔離されており、ゲート電極1と絵素電極8は、多数の絶縁層と半導体層で

隔てられているため電気絶縁性は十分に保持され、従って絵素電極8は、ソース電極5やゲート電極2とオーバーラップする分だけ従来より大きくすることが可能であり、本方式による表示パネルでは従来の製法によるものよりも、絵素有効面積を顕著に向上しうる。

本発明に於て、TFTアレーの性能をさらに向上させる改良された構成について以下にのべる。

すなわち、ゲート絶縁膜を形成するに先立って基板上にゲート電極のみを設けておくのではなしに、第11図に示す如く並列容量形成用共通電極17を同時に形成しておく。これは工程を増やすことなく単にフォトマスクの模様を第11図に示すように変えておくことで実現できる。以下ははじめに述べたのと全く同じプロセスでTFTアレーが形成される。

前記並列容量形成用共通電極17は、表示媒体12をはさみ込む前ないしはさんで後に、表示媒体12をはさんでいる共通透明電極13と電氣的に接続することによってパネルが完成する。この

いしあらかじめ蒸着マスク等を用いて微少部分のみに半導体を形成するという方法がとられていたのに対して、本発明は半導体層を微少部分化したり、微少部分に設ける方法は工程がひとつ増えたり、この工程に於て素子特性のばらつきや、歩留り低下を来たし易い点に着目し、半導体層は一切微少化することなく連続相の状態で使用する構成をとったものである。従って、電極端子とり出しの為にはあらかじめこの領域に絶縁層や半導体層が形成されない様に絶縁層や半導体層の形成時にこの領域にのみ遮蔽マスクを施す方法をとっており、これにより、工程を増やすことなく不要部への膜形成が防止できる。

一方、TFTのチャンネル領域16(第8図)上には保護絶縁層18が設けられ、半導体層3が表示媒体12と直接接触することなく保護されているため、長期に渡って安定なTFTが得られることも大きな利点である。

本発明の更に重要な利点としては、TFTチャンネル部16への遮光が確実になることである。

場合、並列容量形成用共通電極17と絵素電極8との間にはゲート絶縁層2と半導体層3及び層間絶縁層18が積層の形ではさみ込まれ、コンデンサを形成している。また、並列容量形成用共通電極と共通透明電極が電氣的に接続されているからここに形成される絵素容量と電氣的には並列に付加されることになるため、並列容量と名付けてある。

TFTアレーに絵素並列容量が付加された場合には、低抵抗表示媒体でも使用できること、低電圧駆動が可能になること、比較的オフ抵抗の低いTFTでも使用出来る等の利点が生じる。

以上、第6図～第10図に述べた本発明のプロセスに対して、プロセスを特に付加することなく、上記の如き利点を容易に発生しうる点で、本アレー形成法は特に実用的価値が高いといえる。

発明の効果

本発明に於て重要なことは、従来TFTアレー形成に当っては半導体層を全面に設けてのち、フォトエッチングにより微少部分に分割するか、な

一般にアモルファスシリコンやセレン化カドミウム等TFT用の半導体膜3は光導電性を有し、周囲の明るさに応じて特性が変化するが、本発明の構成では不透明な絵素電極がTFTのチャンネル部を覆い、遮光効果を有するから安定した特性の下で使用可能となる。

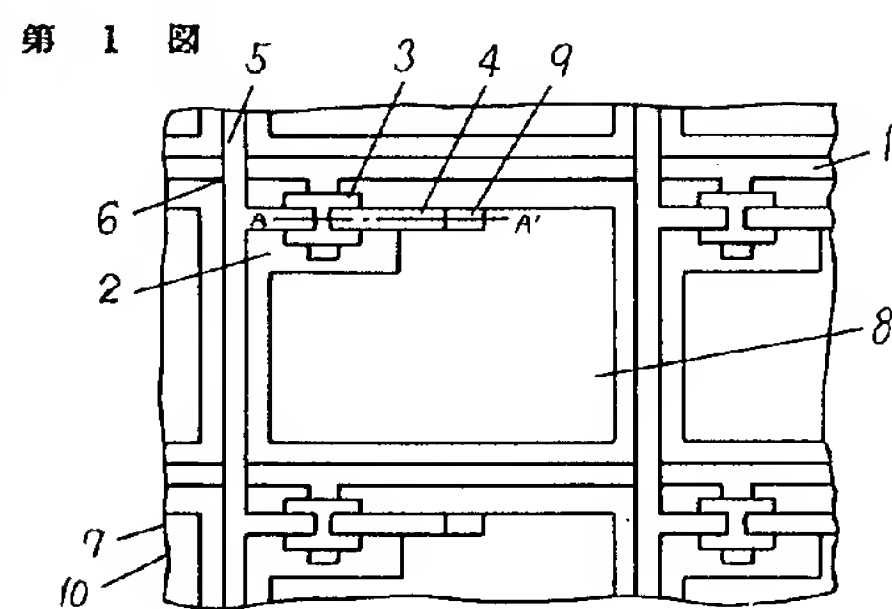
4、図面の簡単な説明

第1図は従来のマトリクス表示パネル用TFTアレーの要部拡大平面図、第2図は第1図のA-A'での切断面図、第3図はTFTアレー付きマトリクス表示パネルの断面図、第4図は第3図のTFTアレー付きマトリクス表示パネルの電氣的等価回路図、第5図(a), (b)はマトリクス表示パネルの各セルの駆動を説明する波形図と模式図、第6図～第10図の各(a), (b)は本発明の製造方法の各工程を説明するための要部平面図とB-B'での切断面図、第11図は本発明のさらに改良された製造方法において用いるTFTアレー形成用基板の一部切欠平面図である。

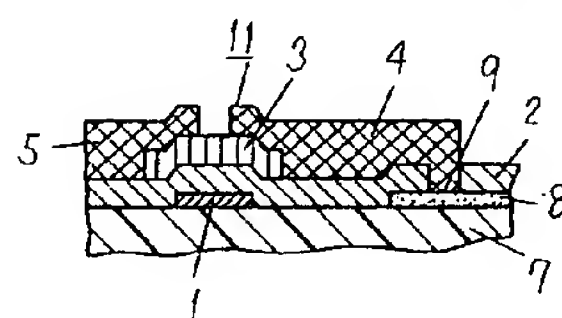
1……ゲート電極、2……ゲート絶縁層、3…

…半導体層、4 ……ドレイン電極、5 ……ソース
電極、7 ……基板、8 ……絵素電極、13 ……透
明共通電極、14 ……ガラス基板、15 ……端子、
16 ……TFTチャンネル領域、17 ……並列容
量形成用共通電極、18 ……保護絶縁層、19 ……
ドレインコンタクトホール、20 ……ソースコ
ンタクトホール、21 ……層間絶縁層、22 ……
絵素コンタクトホール。

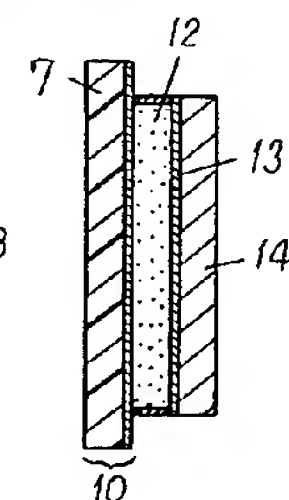
代理人の氏名 弁理士 中 尾 敏 男 ほか1名



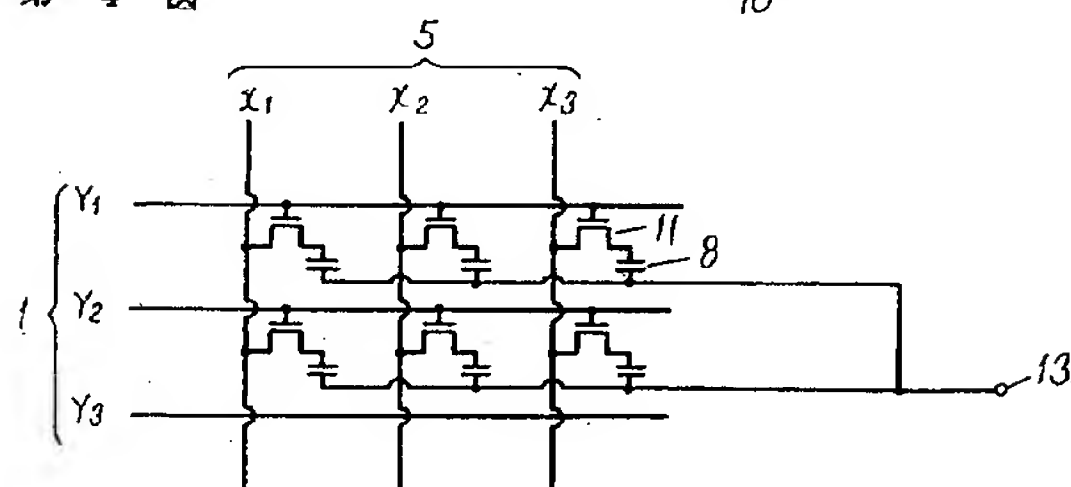
第 2 図



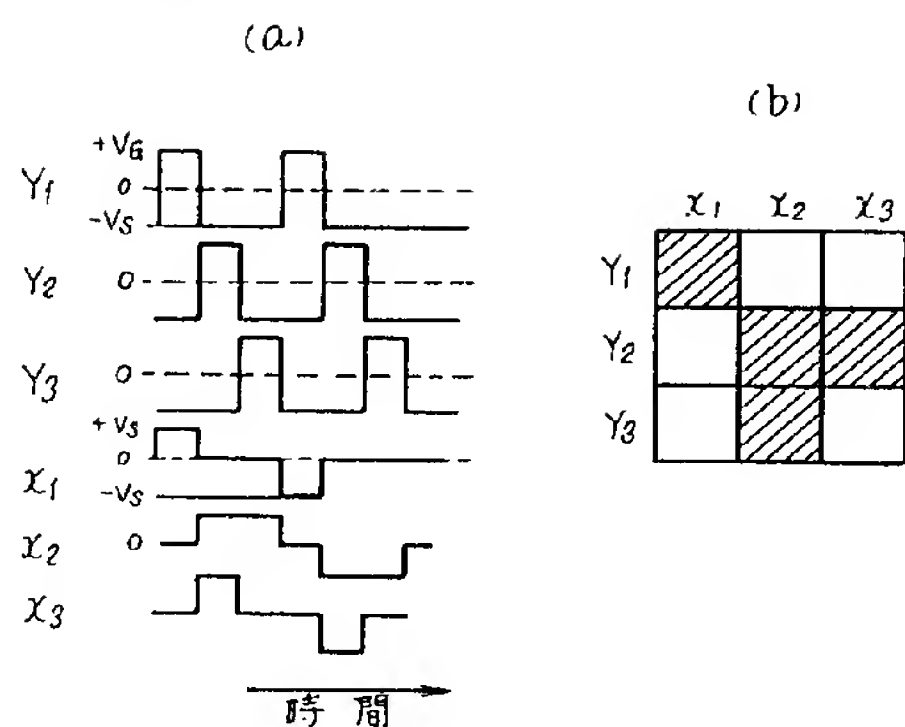
第 3 図



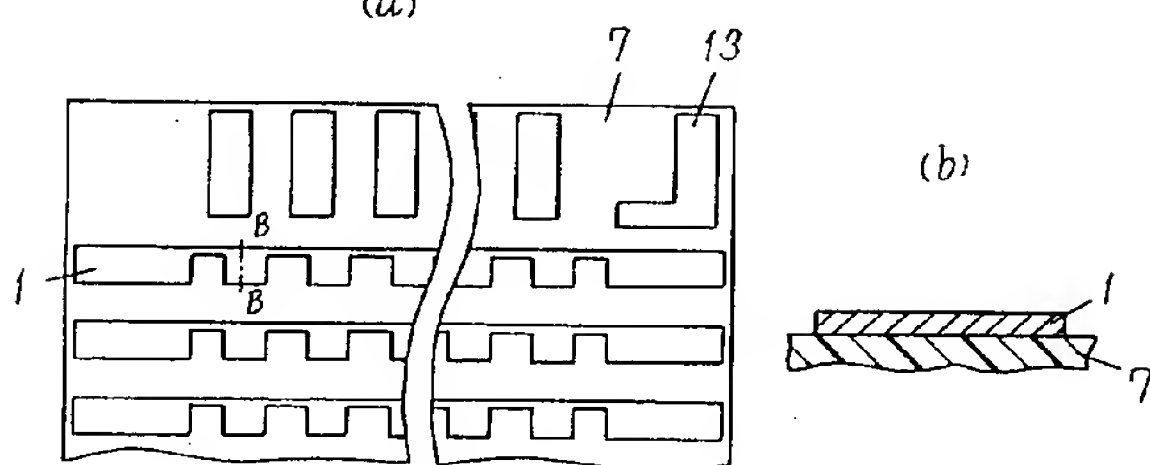
第 4 図



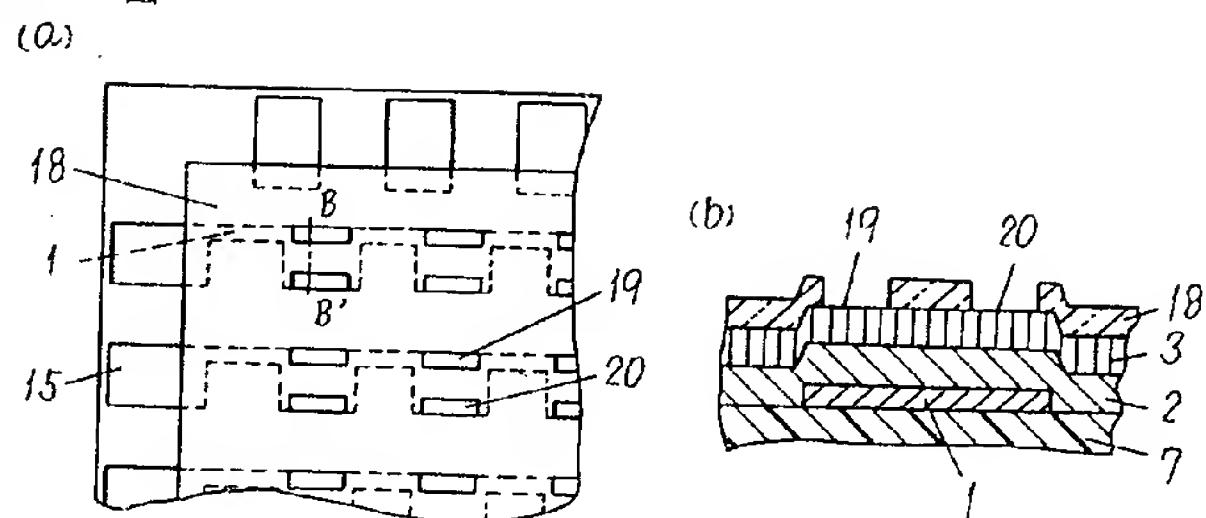
第 5 図



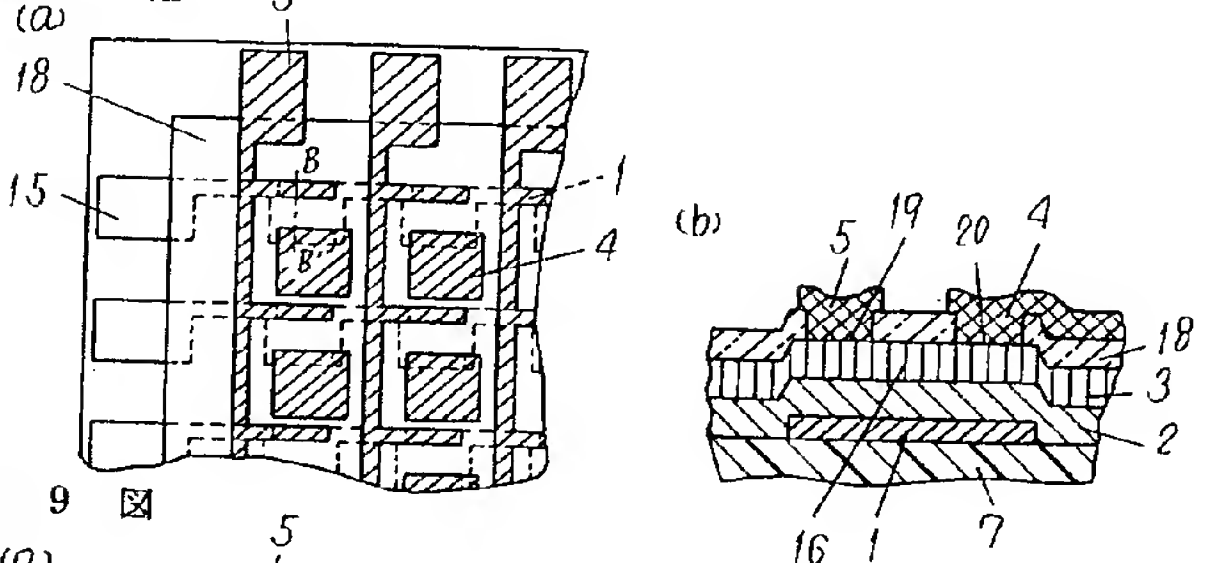
第 6 図



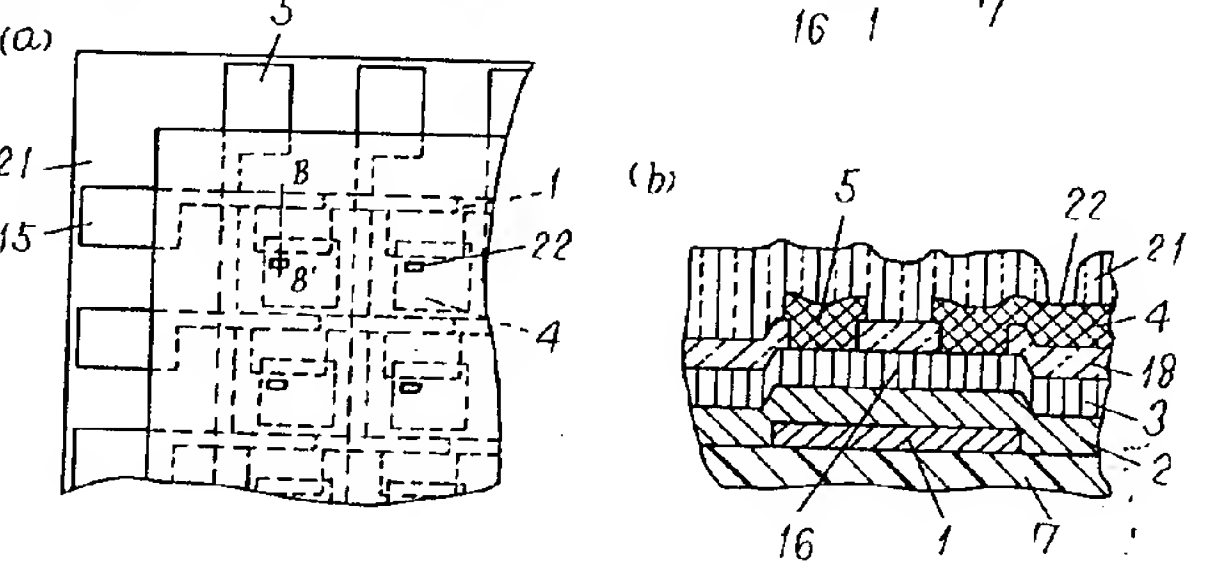
第 7 図



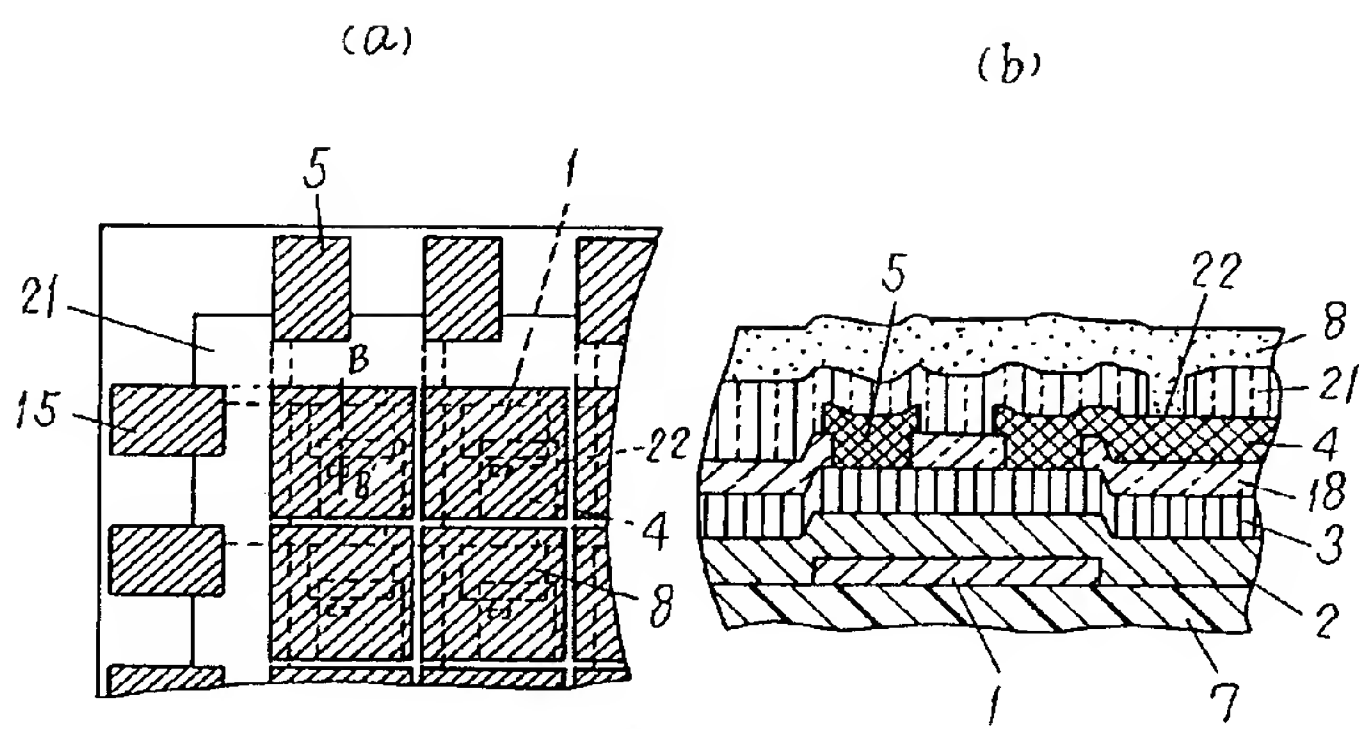
第 8 図



第 9 図



第 10 図



第 11 図

